

## MICROCOMPUTER AND CONTROL SYSTEM

**Publication number:** JP2001022692

**Publication date:** 2001-01-26

**Inventor:** KURIHARA KIYOSHI

**Applicant:** HITACHI LTD; HITACHI ULSI SYS CO LTD

**Classification:**

- international: G06F15/78; G06F1/08; G06F13/42; G06F1/08;  
G06F15/76; G06F1/08; G06F13/42; G06F1/08; (IPC1-  
7): G06F1/08; G06F13/42; G06F15/78

- European:

**Application number:** JP19990191607 19990706

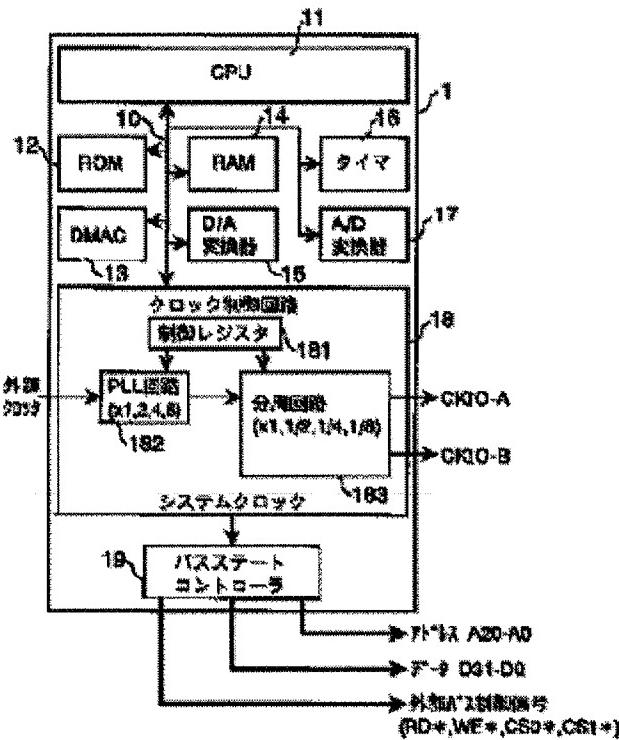
**Priority number(s):** JP19990191607 19990706

[Report a data error here](#)

### Abstract of JP2001022692

**PROBLEM TO BE SOLVED:** To supply suitable bus clocks and bus control signals to each clock synchronous device when there exist a plurality of clock synchronous devices.

**SOLUTION:** By providing a clock control circuit 18 and a bus state controller 19 for forming an external bus control signal at the same timing with external bus clock signals of each address area to be accessed, plural external bus clock signals of mutually different frequencies can be outputted. The bus state controller forms the external bus control signal at the same timing with external bus clock signals of each of the address areas to be accessed. Thus, when plural clock synchronous devices exist, suitable bus clocks and bus control signals can be supplied to each of the clock synchronous devices and the execution speed of an entire system is accelerated.



Data supplied from the **esp@cenet** database - Worldwide



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-22692

(P2001-22692A)

(43)公開日 平成13年1月26日 (2001.1.26)

(51)Int.Cl.<sup>7</sup>G 06 F 13/42  
15/78  
// G 06 F 1/08

識別記号

3 5 0  
5 1 0

F I

C 06 F 13/42  
15/78  
1/04デマコト<sup>8</sup>(参考)3 5 0 A 5 B 0 6 2  
5 1 0 P 5 B 0 7 7  
3 2 0 A 5 B 0 7 9

審査請求 未請求 請求項の数3 OL (全 7 頁)

(21)出願番号

特願平11-191607

(22)出願日

平成11年7月6日(1999.7.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 栗原 清

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74)代理人 100089071

弁理士 玉村 静世

最終頁に続く

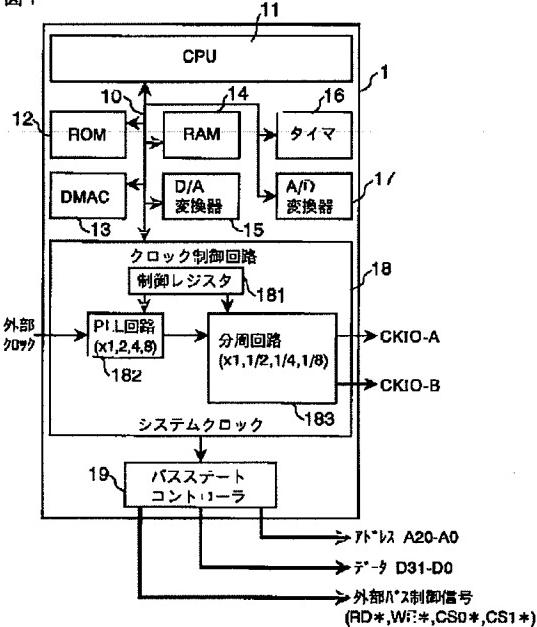
(54)【発明の名称】マイクロコンピュータ及び制御システム

## (57)【要約】

【課題】複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号の供給を可能とすることにある。

【解決手段】クロック制御回路(18)と、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成するためのバスステートコントローラ(19)とを設けることで、互いに周波数が異なる複数の外部バスクロック信号の出力を可能にする。このとき、バスステートコントローラは、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成する。このことが、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号の供給を可能とし、システム全体の実行速度の向上を達成する。

図1



【特許請求の範囲】

【請求項1】 所定の演算処理を行うための中央処理装置と、

上記中央処理装置によって制御され、入力されたクロック信号に基づいて互いに周波数が異なる複数系統の外部バスクロック信号を形成し、それをクロック同期式デバイスに供給するためのクロック制御回路と、  
上記外部バスを介して行われるデータ転送における各種バス制御信号を、アクセス対象とされるクロック同期式デバイスに供給される上記外部バスクロック信号のタイミングに整合された外部バス制御信号を形成するためのバスステートコントローラと、  
を含むことを特徴とするマイクロコンピュータ。

【請求項2】 上記クロック制御回路は、入力されたクロック信号を遅倍又は分周するための情報を設定可能な制御レジスタと、

上記制御レジスタの設定情報に従って、外部クロック信号に同期したクロック信号を形成するためのPLL回路と、

上記PLL回路の出力信号を分周して互いに異なる複数系統の外部バスクロック信号を出力するための分周回路と、

を含んで成る請求項1記載のマイクロコンピュータ。

【請求項3】 請求項1又は2記載のマイクロコンピュータと、上記マイクロコンピュータから出力される外部クロック信号及びそれにタイミングが整合されたバス制御信号に基づいて動作される複数のクロック同期式デバイスとを含んで成る制御システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、マイクロコンピュータ及びそれを具備して成る制御システムに関する。

【0002】

【従来の技術】 マイクロコンピュータ応用システムの一例としてプリンタシステムを挙げることができる。このプリンタシステムにおける制御系には、マイクロコンピュータの他に、このマイクロコンピュータによってアクセス可能な各種メモリや、クロック同期回路が含まれる。クロック同期回路は、ASIC(Application Specific Integrated Circuit)によって構成される。また、各種メモリには、上記マイクロコンピュータにおける演算処理における作用領域などとして使用されるSDRAM(シンクロナス・ダイナミック・ランダム・アクセス・メモリ)や、アウトラインフォントデータなどが読み出し専用形式で格納されたROM(リード・オンリー・メモリ)が含まれる。

【0003】 尚、プリンタシステムに関して記載された文献の例としては、昭和54年3月30日に、株式会社オーム社から発行された「電子通信ハンドブック(第1

238頁)」がある。

【0004】

【発明が解決しようとする課題】 プリンタシステムにおける制御系(これを「プリンタ制御システム」という)などのボード上で同期式回路を組むことについて本願発明者が検討した。

【0005】 例えば、外部バスクロック出力を1本しか持たないマイクロコンピュータと動作周波数の高いクロック同期式デバイスAと動作周波数の低いクロック同期式デバイスBを接続する場合、マイクロコンピュータの外部バスクロックをクロック同期式デバイスAの動作周波数に合わせて出力し、他方のクロック同期式デバイスBにはマイクロコンピュータの外部クロックを外部の分周回路を通して周波数を下げてから入力する。このようにすることで、クロック同期式デバイスA、Bに対して各々の最高周波数に応じたクロック信号を供給することができる。

【0006】 しかしながら、その場合、外部の分周回路を通して生成されたクロック周波数とマイクロコンピュータのバス制御信号はタイミングが合わないため、クロック同期式デバイスBとの間でデータ転送を行うことができない。このため、上記のケースでは、外部クロックの周波数をクロック同期式デバイスBの周波数に合わせることにより、高速動作デバイスを低速で動作させることになり、システム全体のパフォーマンス向上を阻害してしまう。

【0007】 本発明の目的は、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号を供給するための技術を提供することにある。

【0008】 本発明の別の目的は、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号を供給することにより、システム全体の実行速度の向上を図るために技術を提供することにある。

【0009】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】 すなわち、所定の演算処理を行うための中央処理装置と、上記中央処理装置によって制御され、入力されたクロック信号に基づいて互いに周波数が異なる複数の外部バスクロック信号を形成するためのクロック制御回路と、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成するためのバスステートコントローラとを設ける。

【0011】 上記した手段によれば、クロック制御回路は、互いに周波数が異なる複数の外部バスクロック信号を出力する。このとき、バスステートコントローラは、

外部バスクロック信号毎にタイミングを合わせて外部バス制御信号を形成する。このことが、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号の供給を可能とし、システム全体の実行速度の向上を達成する。

【0012】このとき、外部から与えられたクロック信号を分周又は遅倍するための任意の倍率を設定可能な制御レジスタと、制御レジスタの設定情報に従って、外部クロック信号に同期したクロック信号を形成するためのPLL回路と、上記PLL回路の出力信号を分周するための分周回路とを含んで上記クロック制御回路を構成することができる。

【0013】上記構成のマイクロコンピュータと、マイクロコンピュータから出力される外部クロック信号及びそれにタイミングが整合されたバス制御信号に基づいて動作される複数のデバイスとを含んで制御システムを構成することができる。

#### 【0014】

【発明の実施の形態】図2には本発明にかかる制御システムの一例であるプリンタ制御システムが示される。

【0015】図2に示されるプリンタ制御システムは、マイクロコンピュータ1、SDRAM（シンクロナス・ダイナミック・ランダム・アクセス・メモリ）2、ROM（リード・オンリ・メモリ）3、ASICクロック同期回路4、及びSRAM（スタッティック・ランダム・アクセス・メモリ）5を含む。

【0016】マイクロコンピュータ1は、プリンタの動作制御に関する所定の演算処理を行うもので、アドレスバス及びデータバス6を介して複数のデバイス、例えば上記SDRAM2、ROM3、ASICクロック同期回路4、SRAM5に結合されることで、互いに信号のやり取りが可能にされている。そして、このマイクロコンピュータ1は、第1外部バスクロック信号CKIO-Aを出力するための第1クロック出力端子と、第2外部バスクロック信号CKIO-Bを出力するための第2クロック出力端子と、バス制御信号を出力するためのバス制御信号出力端子とを有する。第1クロック信号CKIO-Aは、特に制限されないが、比較的高い周波数とされ、クロック同期式デバイスの一例である上記SDRAM2に伝達される。また、第2外部バスクロック信号CKIO-Bは、上記第1クロック信号CKIO-Aよりも周波数が低く設定され、上記ASICクロック同期回路4に伝達される。外部バス制御信号には、SDRAM2を選択するためのチップセレクト信号CS0\*（\*はローアクティブを意味する）、ASICクロック同期回路4を選択するためのチップセレクト信号CS1\*、リードサイクルを指示するためのリード信号RD\*、ライトサイクルを指示するためのライト信号WE\*が含まれる。

【0017】SDRAM2は、比較的周波数の高い第1

クロック信号CKIO-Aに同期して高速動作可能であり、マイクロコンピュータ1での演算処理における作業領域として使用される。ROM3は読み出し専用であり、印字のためのフォントデータ等が書き込まれている。SRAM5は、データの一時的な記憶領域として使用される。

【0018】上記ASICクロック同期回路4は、ASIC(Application Specific IC)により形成されたもので、動作周波数が他のデバイスに比べて遅いため、マイクロコンピュータ1からの第2外部バスクロック信号CKIO-Bに同期動作される。ここで、第2外部バスクロック信号CKIO-Bは、ASICクロック同期回路4の動作クロックとしては適切なものとなるように制御レジスタ181の設定情報に基づいて設定される。特に制限されないが、ASICクロック同期回路4は、図示されないモータを駆動するためのモータ駆動ユニット4a、印字ヘッドを駆動するためのヘッド駆動ユニット4b、印字ヘッドの位置検出を行うためのセンサー回路4c、パラレルインタフェース回路4d、シリアルインタフェース回路4e、USB(Universal Serial Bus) インタフェース回路4fが含まれる。

【0019】上記モータ駆動ユニット4aには、モータ駆動情報を一時的に保持するためのレジスタが設けられ、このレジスタの情報に基づいてモータ駆動が行われる。上記ヘッド駆動ユニット4bには印字データを一時的に記憶するためのレジスタが設けられており、このレジスタに書き込まれたデータに基づいて印字ヘッドが駆動される。パラレルインタフェース回路4bは、図示されないパーソナルコンピュータからパラレル形式で伝達されたバイトデータを一時的に保持するためのレジスタを含み、シリアルインタフェース回路4e及びUSBインターフェース回路4fは、それぞれ図示されないパーソナルコンピュータからのシリアルデータを順次取り込んでパラレル形式のデータに変換するためのレジスタを含む。上記モータ駆動ユニット4a、ヘッド駆動ユニット4b、センサー回路4cのそれぞれに含まれるレジスタや、各インタフェース回路4d～4fにおけるレジスタは、マイクロコンピュータ1によってリード・ライト可能にされている。

【0020】上記ASICクロック同期回路4は、マイクロコンピュータ1からのチップセレクト信号CS1\*によって選択される。また、ASICクロック同期回路4内の各ユニットあるいは各インタフェース回路はアドレスバッファを介して入力されたアドレス信号の一部をデコードして得られた信号に基づいて選択される。具体的には、マイクロコンピュータ1からのチップセレクト信号CS1\*と、アドレスバスを介して入力されたアドレス信号の一部をデコードして得られた信号との論理積が求められ、その論理積結果に基づいて、ASICクロ

ック同期回路4内の各ユニットあるいは各インターフェース回路が選択されるようになっている。

【0021】図1にはマイクロコンピュータ1の構成例が示される。

【0022】図1に示されるように、このマイクロコンピュータ1は、CPU(中央処理装置)11、ROM12、DMAC(ダイレクトメモリーアクセスコントローラ)13、RAM(ランダムアクセスメモリ)14、D/A(デジタル/アナログ)変換器15、タイマ16、A/D(アナログ/デジタル)変換器17、クロック制御回路18、バスステートコントローラ19を含む。

【0023】CPU11から内部バス10が引き出され、この内部バス10を介してROM12、DMAC13、RAM14、D/A変換器15、タイマ16、A/D変換器17、クロック制御回路18が結合されている。ROM12には、CPU11で実行されるプログラムが格納される。DMAC13は、CPU11が介在することなしにRAM14と外部装置との間のデータ転送を可能とする。RAM14はCPU11での演算処理の作業領域として使用される。D/A変換器15は、入力されたディジタル信号をアナログ信号に変換する機能を有する。タイマ16は時間計測に使用される。A/D変換器17は入力されたアナログ信号をデジタル信号に変換する機能を有する。クロック制御回路18によってシステムクロックが形成され、それがバスステートコントローラ19に伝達される。バスステートコントローラ19により、アドレスA20-A0、データD31-D0、及び外部バス制御信号(RD\*, WE\*, CS0\*, CS1\*)のバスステートが制御される。特に、本例においては、外部バス(アドレスバス及びデータバス6)を介して行われるデータ転送における外部バスクロック信号の周波数に応じて上記外部バス制御信号が形成されるようになっており、それが本例の特徴点の一つとなっている。

【0024】クロック制御回路18は、マイクロコンピュータ1の外部から取り込まれた外部クロックに同期して所定周波数のクロック信号を形成するためのPLL(フェーズ・ロックド・ループ)回路182、このPLL回路182の出力信号を分周することにより、互いに周波数が異なる2系統のクロック信号CKIO-A、CKIO-Bを形成するための分周回路183、上記PLL回路182や分周回路183の制御情報を保持するための制御レジスタ181を含む。この制御レジスタ183に設定された情報に従って、PLL回路182での倍率や、分周器183での分周比が決定される。例えば制御レジスタ183に設定された情報に従ってPLL回路182での倍率として、「×1」が設定された場合には、外部からPLL回路182へ入力される外部クロック信号の周波数に等しい周波数でクロック信号が生成さ

れ、それが後段の分周回路183へ伝達される。また、制御レジスタ183に設定された情報に従ってPLL回路182での倍率として、「×2」が設定された場合には、外部からPLL回路182へ入力される外部クロック信号の周波数に対して2倍の周波数でクロック信号が生成され、それが後段の分周回路183へ伝達される。同様に制御レジスタ183に設定された情報に従って、4倍、8倍の周波数でクロック信号が生成され、それが後段の分周回路183へ伝達される。そして、制御レジスタ181に設定された情報に従って分周回路183での分周比として、×1、1/2、1/4、1/8の選択が可能であり、それにより、第1クロック信号CKIO-Aや、第2外部バスクロック信号CKIO-Bの周波数が決定される。また、クロック制御回路18からは、第1外部バスクロック信号CKIO-Aによるリード(又はライト)サイクルか、第2外部クロック信号CKIO-Bによるリード(又はライト)サイクルかに応じたシステムクロックがバスステートコントローラ19に供給される。バスステートコントローラ19では、このシステムクロックに基づいて、バスステートを制御する。

【0025】図3には主要部の動作タイミングが示される。

【0026】図3に示される動作タイミングによれば、先ずCKIO-Bのリードサイクルが起動され、次にCKIO-Aのライトサイクルが起動され、続いてCKIO-Aのリードサイクルが起動され、そして、CKIO-Bのライトサイクルが起動される。これにより、例えば図示されないパーソナルコンピュータからデータがパラレルインターフェース4d内のレジスタに書き込まれたデータがSDRAM2に転送され、さらにそのデータがSDRAM2から読み出されて、マイクロコンピュータ1で処理された後に、印字のためにヘッド駆動ユニット4b内のバッファに書き込まれる、という一連のステップが実現される。

【0027】第2外部バスクロック信号CKIO-Bのリードサイクルについて説明する。

【0028】第2外部バスクロック信号CKIO-Bのリードサイクルでは、チップセレクト信号CS1\*がローレベルにアサートされることで、ASICクロック同期回路4が選択される。そして、バスステートコントローラ19により、第2外部バスクロック信号CKIO-Bの波形T1の立ち下がりエッジに同期してリード信号RD\*がローレベルにアサートされ、波形T2の立ち下がりエッジに同期してリード信号RD\*がハイレベルにネガートされる。波形T2の立ち下がりエッジに同期してASICクロック同期回路4内のレジスタの保持データがマイクロコンピュータ1によってリードされ、CPU内部の汎用レジスタに格納される。このリードサイクルにおいては、ASICクロック同期回路4の動作周波

数に適した第2外部バスクロック信号CKIO-Bと、それに対応する外部バス制御信号に基づいて適切に行われる。

【0029】尚、このとき、チップセレクト信号CS0\*はハイレベルにネゲートされた状態であるため、SDRAM2は非選択状態とされている。

【0030】次に、第1クロック信号CKIO-Aのライトサイクルについて説明する。

【0031】バスステートコントローラ19により第1クロック信号CKIO-Aにおける波形T1の立ち上がりエッジに同期してチップセレクト信号CS0\*がロー・レベルにアサートされることにより、SDRAM2が選択される。第1クロック信号CKIO-Aにおける波形T1の立ち下がりエッジに同期してライト信号WE\*がロー・レベルにアサートされ、波形T2の立ち下がりエッジに同期してハイ・レベルにネゲートされる。このライト信号WE\*がロー・レベルにアサートされた期間に、上記CPU内部の汎用レジスタに格納されているデータがSDRAM2へライトされる。このライトサイクルにおいては、SDRAM2の動作周波数に適した第1外部バスクロック信号CKIO-Aと、それに対応する外部バス制御信号に基づいて適切に行われる。

【0032】尚、このとき、チップセレクト信号CS1\*はハイ・レベルにネゲートされた状態であるため、ASICクロック同期回路4は非選択状態とされている。

【0033】第1クロック信号CKIO-Aのリードサイクルについて説明する。

【0034】バスステートコントローラ19により第1クロック信号CKIO-Aにおける波形T1の立ち上がりエッジに同期してチップセレクト信号CS0\*がロー・レベルにアサートされることにより、SDRAM2が選択される。そして、バスステートコントローラ19により、第1クロック信号CKIO-Aの波形T1の立ち下がりエッジに同期してリード信号RD\*がロー・レベルにアサートされ、波形T2の立ち下がりエッジに同期してリード信号RD\*がハイ・レベルにネゲートされる。波形T2の立ち下がりエッジに同期してSDRAM2からの読み出しデータがマイクロコンピュータ1内のCPU内部の汎用レジスタに取り込まれる。このリードサイクルにおいては、SDRAM2の動作周波数に適した第1外部バスクロック信号CKIO-Aと、それに対応する外部バス制御信号に基づいて適切に行われる。

【0035】尚、このとき、チップセレクト信号CS1\*はハイ・レベルにネゲートされた状態であるため、ASICクロック同期回路4は非選択状態とされている。

【0036】第2外部バスクロック信号CKIO-Bのライトサイクルについて説明する。

【0037】バスステートコントローラ19により第2クロック信号CKIO-Bにおける波形T1の立ち上がりエッジに同期してチップセレクト信号CS1\*がロー・

レベルにアサートされることにより、ASICクロック同期回路4が選択される。第2クロック信号CKIO-Bにおける波形T1の立ち下がりエッジに同期してライト信号WE\*がロー・レベルにアサートされ、波形T2の立ち下がりエッジに同期してハイ・レベルにネゲートされる。このライト信号WE\*がロー・レベルにアサートされた期間に、上記CPU内部の汎用レジスタ内のデータがASICクロック同期回路4におけるヘッド駆動ユニット4bへの書き込みが行われる。このライトサイクルでは、ASICクロック同期回路4の動作周波数に適した第2外部バスクロック信号CKIO-Bと、それに対応する外部バス制御信号に基づいて適切に行われる。

【0038】尚、このとき、チップセレクト信号CS0\*はハイ・レベルにネゲートされた状態であるため、SDRAM2は非選択状態とされている。

【0039】上記した例によれば、以下の作用効果を得ることができる。

【0040】(1) クロック制御回路18と、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成するためのバスステートコントローラ19とが設けられているので、互いに周波数が異なる複数の外部バスクロック信号の出力が可能になり、また、バスステートコントローラ19により、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号が形成される。それにより、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号の供給が可能となるため、システム全体の実行速度の向上を図ることができる。

【0041】(2) 外部から与えられたクロック信号を分周又は倍増するための任意の倍率を設定可能な制御レジスタ181と、制御レジスタの設定情報を従って、外部クロック信号に同期したクロック信号を形成するためのPLL回路182と、上記PLL回路の出力信号を分周して互いに異なる複数系統の外部バスクロック信号を出力するための分周回路183とを含むことにより、上記機能を有するクロック制御回路18を容易に構成することができる。

【0042】以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】例えば、PLL回路182における倍率や、分周回路183における分周比は任意に設定することができる。また、分周回路183から出力される外部バスクロック信号は2系統に限定されず、より多くの外部バスクロック信号を出力させることができる。

【0044】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるプリン

タ制御システムに適用した場合について説明したが、本発明はそれに限定されるものではなく、各種制御システムに広く適用することができる。

【0045】本発明は、少なくともクロック同期式デバイスを含むことを条件に適用することができる。

#### 【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0047】すなわち、クロック制御回路と、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成するためのバスステートコントローラとを設けることで、互いに周波数が異なる複数の外部バスクロック信号の出力を可能になるとともに、バスステートコントローラにより、アクセスする各アドレスエリアの外部バスクロック信号にタイミングを合わせて外部バス制御信号を形成することにより、複数のクロック同期式デバイスが存在する場合に、各クロック同期式デバイスに適切なバスクロック、及びバス制御信号の供給が可能となり、システム全体の実行速度の向上を図ることができる。

#### 【図面の簡単な説明】

【図1】本発明にかかるマイクロコンピュータの構成例ブロック図である。

【図2】上記マイクロコンピュータを含む制御システムの一例であるプリンタシステムの構成例ブロック図である。

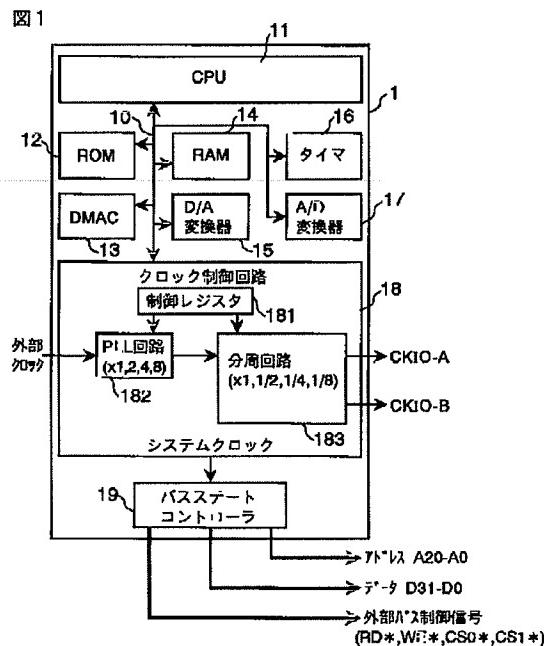
る。

【図3】上記プリンタシステムにおける主要部の動作タイミング図である。

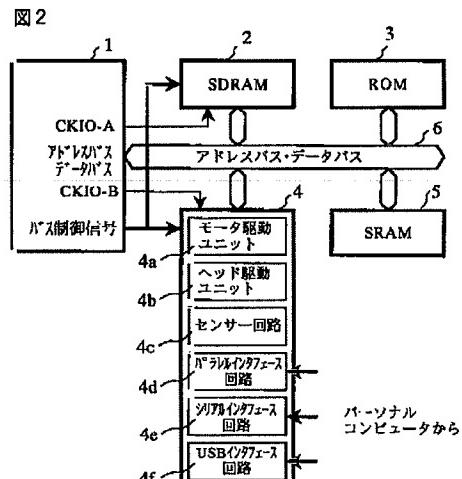
#### 【符号の説明】

- 1 マイクロコンピュータ
- 2 SDRAM
- 3 ROM
- 4 ASICクロック同期回路
- 4a モータ駆動ユニット
- 4b ヘッド駆動ユニット
- 4c センサー回路
- 4d パラレルインタフェース回路
- 4e シリアルインタフェース回路
- 4f USBインタフェース回路
- 5 SRAM
- 6 アドレスバス及びデータバス
- 10 内部バス
- 11 CPU
- 12 ROM
- 13 DMAC
- 14 RAM
- 15 A/D変換器
- 16 D/A変換器
- 17 タイマ
- 18 A/D変換器
- 19 DMA
- 20 クロック制御回路
- 21 バスステートコントローラ

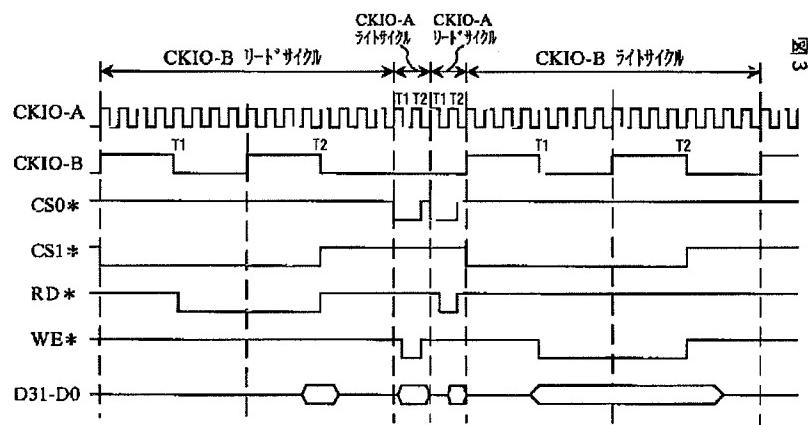
【図1】



【図2】



【図3】



---

フロントページの続き

Fターム(参考) 5B062 AA03 HH01  
5B077 FF11 GG14 MM02  
5B079 BA20 BB04 BC03 DD03 DD05  
DD20